

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-141175
 (43)Date of publication of application : 28.06.1986

(51)Int.CI.

H01L 27/14
 G01B 11/00
 H01L 31/10

(21)Application number : 59-263795
 (22)Date of filing : 14.12.1984

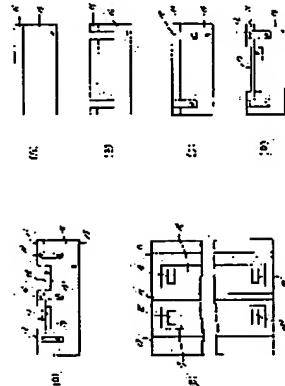
(71)Applicant : HAMAMATSU PHOTONICS KK
 (72)Inventor : YAMAMOTO AKINAGA
 TAKIMOTO SADAJI

(54) SEMICONDUCTOR PHOTODETECTOR

(57)Abstract:

PURPOSE: To improve the resolving power and position resolving power by a method wherein the second conductive type mutually isolated multiple photodiodes and isolated regions comprising the first conductive type polycrystalline semiconductor mutually isolating the photodiodes are provided on the first conductive type semiconductor substrate.

CONSTITUTION: A silicon dioxide film 11 is grown by thermal oxidation on an N type silicon substrate 10 and then parts of silicon dioxide film 11 to be isolated regions are removed by means of photoetching process further removing a part of N type silicon substrate 10 utilizing plasma etching process. Next the isolated regions are filled with polycrystalline silicon 12 and after forming a P type region 13 by diffusing process removing the silicon dioxide film 11 to be receptive planes by photoetching process, the silicon dioxide film 11 is grown by thermal oxidation for later specified electrode wiring. Through these procedures, the resolving power and position resolving power may be improved suffering no mutual interference between photodiodes since the isolated regions 12 comprising N+ layer are provided between photodiodes to eliminate various crosstalks such as optical, physical and electrical crosstalks, etc.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑯ 日本国特許庁 (JP)

⑰ 特許出願公開

⑯ 公開特許公報 (A)

昭61-141175

⑮ Int.Cl.⁴H 01 L 27/14
G 01 B 11/00
H 01 L 31/10

識別記号

厅内整理番号

⑯ 公開 昭和61年(1986)6月28日

7525-5F

7625-2F

6819-5F 審査請求 未請求 発明の数 1 (全8頁)

⑰ 発明の名称 半導体光検出装置

⑰ 特 願 昭59-263795

⑰ 出 願 昭59(1984)12月14日

⑰ 発明者 山本 晃永 浜松市市野町1126番地の1 浜松ホトニクス株式会社内
 ⑰ 発明者 滝本 貞治 浜松市市野町1126番地の1 浜松ホトニクス株式会社内
 ⑰ 出願人 浜松ホトニクス株式会社 浜松市市野町1126番地の1
 ⑰ 代理人 弁理士 井ノ口 寿

明細書

1. 発明の名称 半導体光検出装置

2. 特許請求の範囲

(1) 光検出のための接合部を有する複数のホトダイオードを同一の半導体基板内にアレー状に配列した半導体光検出装置において、第1の導電型の前記半導体基板内に形成された第2の導電型の互いに分離された複数のホトダイオードと、前記複数のホトダイオードを互いに隔離するように前記半導体基板内に形成された第1の導電型を有する多結晶半導体からなる隔離領域を設けて構成することを特徴とする半導体光検出装置。

(2) 前記半導体基板は第2の導電型の半導体ウェーハの上にエピタキシャル成長で第1の導電型層を形成したものである特許請求の範囲第1項記載の半導体光検出装置。

(3) 前記半導体基板はCZ法により製作された第1の導電型の上にエピタキシャル成長された1.0Ω cm以上の高い抵抗値を持つ第1の導電型層を有するものである特許請求の範囲第1項記載の半

導体光検出装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、光の照射を検出する半導体光検出装置に関する。

(従来の技術)

位置検出および分光測定等に同一基板上に複数個のホトダイオードをアレー状に配列した半導体光検出装置が用いられている。

このようなホトダイオードアレー形式の半導体光検出装置において、入射光の入射位置の分解を高めるためにホトダイオードの集積度を大きくすると種々の問題が生ずる。

まず第1に挙げられる問題は、隣接したホトダイオード間に入射した光が素子間で相互干渉を起こす、光学的クロストークである。光学的クロストークを第6図を参照して説明する。

第6図はホトダイオードアレー形式の半導体光検出装置における光学的クロストークを示す装置の断面図である。

特開昭61-141175 (2)

光学的クロストークは、吸収係数の小さい光が半導体装置のP-N接合から離れた深い部分に到達し、内部で電子・正孔対を発生し、これらのキャリアが拡散によって同一アレー内の隣接するホトダイオードに到達することによって起こる。

例えばP⁺領域13の下のN層10の深い部分で発生したキャリアがP⁺領域14に到達する場合等がそれである。

第2にブルーミングと呼ばれる物理的なクロストークがある。第7図を参照してこの物理的なクロストークを説明する。

物理的クロストークは、強い光照射により図中破線で示す空乏層に蓄積される電荷が飽和し、素子内を拡散することにより隣接するホトダイオードに到達することによって起こる。

P⁺領域13の下のN層10に形成された空乏層内で発生したキャリアがP⁺領域14に到達する場合等がそれである。

これらのクロストークは、位置センサにおける位置境界を不鮮明にし、分析センサにおける隣接す

る二つの信号ピークの区別を不明確にする。

また近年、ホトダイオードアレーと信号統出のための自己走査回路(シフトレジスタ)を組み合わせたイメージセンサが広く用いられている。第8図はそのようなイメージセンサの1素子分を示す断面図である。

このようなN基板1を用いたPチャンネルMOSFET構造のイメージセンサの等価回路を第9図に示す。

N基板1を用いたPチャンネルMOSFET構造では、ソース2の領域のP-N接合部を受光面として用いている。

ゲート電極4に負のパルス電圧を加えると、ゲート電極4の下のシリコン表面にPチャンネルが生じ、このときドレイン3より電荷が供給され、ソース2の拡散接合をドレイン3の電圧と等しくしてこのダイオードを充電する。

ゲート電極4の電圧をオフし、チャンネルが閉じると、ソース2の電位(蓄積電荷)はそのまま保たれる。

この状態で入射光によりキャリアが励起されると、蓄積電荷はこのキャリアに放電し、ソース2の電位は低下する。次に再び走査パルスがゲート4を介して印加されると、放電電荷に対する充電電荷がソース2に流れ込み、外部回路に取り出される。以下この動作を繰り返す。

このようなホトダイオードアレーにおいては、アレー内の各素子の電位は常に異なる。シフトレジスタの走査パルスによって、ある点のホトダイオードの電位が高くなった場合、電位の低い隣接するホトダイオードへ電流が流れ込む現象が起こる。これは、電気的なクロストークでありホトダイオード間の距離が短くなった場合、あるいは高抵抗の基板を用いた場合、特に起こり易くなる。電気的なクロストークは、正確な光信号の測定や微弱光の測定を困難にする。

これら、光学的、物理的、電気的なクロストークを総合して、以下單にクロストークと呼ぶこととする。

このようなクロストークに対して従来第10図

に示すように、隣接する素子間にアルミニウムのような反射膜5を形成し、素子間への光の入射を妨げる対策が採られてきた。

しかしこの方法では、例えばガラス窓付きのパッケージに組み込んだ場合、反射膜5で反射した光がさらにガラス窓で乱反射し、かえって信号の相互干渉が激しくなる。

また電気的なクロストークに対しては、何の効果も示さない。

他の方法としては第11図に示すように、拡散により形成されたP⁺層6でホトダイオード間を分離する構造が考えられる。

しかし、この方法では、素子間は一応は分離されるものの、分離領域付近に入射した光により発生したキャリアは、全てこのP⁺型の分離領域6に吸収され、信号量の低下が起こる。

また分離領域P⁺層6をホトダイオードに隣接して設けた場合には、分離P⁺層とホトダイオードP間での相互作用が強くなり、ホトダイオードに蓄積された信号電荷が分離P⁺層に流れ易くなり

特開昭 61-141175 (3)

電気的なクロストークは増加する。

分離領域の深さは最低でも $5 \mu m$ は必要であるが、拡散で形成した場合、深さ方向の拡散だけでなく同程度の横方向への拡散も同時に起こる。

このため、 P^+ 分離領域の幅を $10 \mu m$ 以下に制御することは困難である。さらに、受光面の P 層より広がった空乏層が、分離領域の P^+ 層6に到達すると、耐圧が著しく低下するため、受光面と分離領域間の距離は少なくとも $20 \mu m$ 程度は必要である。

この結果、隣接するホトダイオード間の間隔は $50 \mu m$ 以上になる。これにより、解像度の限界が決められてしまう。

以上のように隣接するホトダイオード間に P^+ の分離領域を形成してもクロストークの防止には効果はあるが、リーク電流の増加、耐圧の低下、信号の漏洩など、かえって信号の不明確さが増し、電子の特性は低下するばかりである。

第12図に示すようにホトダイオード間に絶縁物または溝からなる分離領域7を形成する構造が

考えられる。

この構造によりホトダイオード間は構造的に分離されるためクロストークの除去に対しては相当な効果がある。

しかし、この構造も暗電流や逆耐圧に関連する性能については満足できるものではない。

ホトダイオードに蓄積できる最大電荷量は接合容量とバイアス電圧の積により決定される。

接合容量は基板の種類により一定の値を示すため、バイアス電圧の大きさにより最大電荷量が決定されることになる。

しかし、バイアス電圧があり大きいと、空乏層が分離領域7に達する場合がある。

分離領域7は形成時のダメージにより結晶性が悪く、空乏層が到達すると、リーク電流が激しく流れる。

このため、バイアス電圧を大きくすることができます、その結果としてホトダイオードの最大検出電荷量が制限される。

さらに暗電流の増加により最大蓄積時間が制限さ

れる。

このように、従来の前記各技術では満足できる特性のホトダイオードアレーが得られ難い。

(発明の目的)

本発明の目的は、ホトダイオードアレー型の半導体装置の前記各種のクロストークを低下させることにより、高解像性能、高位位置分解性能を達成する半導体光検出装置を提供することにある。

(発明の構成)

前記目的を達成するために、本発明による半導体光検出装置は、光検出のための接合部を有する複数のホトダイオードを同一の半導体基板内にアレー状に配列した半導体光検出装置において、第1の導電型の前記半導体基板内に形成された第2の導電型の互いに分離された複数のホトダイオードと、前記複数のホトダイオードを互いに隔壁するように前記半導体基板内に形成された第1の導電型を有する多結晶半導体からなる隔壁領域を設けて構成されている。

(実施例)

以下、図面等を参照して本発明をさらに詳しく説明する。

第1図は本発明による半導体光検出装置の第1の実施例を示す図であって、同図(A)は断面図、同図(B)は平面図である。

N 型シリコン基板10に、受光面(P^+ 領域)13および受光面(P^+ 領域)14が形成され、それぞれの領域は N 型シリコン基板10との間に PN 接合部15、16を形成している。

各 PN 接合部15、16を分離するために多結晶半導体の分離領域12、12、12が形成され、上面は二酸化珪素膜11で覆われている。

17、18はそれぞれ裏面電極と表面電極を形成している。

図中左側のホトダイオード内で発生したキャリアは、 PN 接合部15に集められて光信号として検出される。同様に右側のホトダイオード内で発生したキャリアは、 PN 接合部16に集められて光信号として検出される。

このとき、両ホトダイオード間は N^+ 層からなる

特開昭 61-141175 (4)

分離領域12により完全に分離されるため、例えば左側のホトダイオード内で発生したキャリアが右側のPN接合部16に混合することはなく、光学的および物理的なクロストークを著しく減少させることができる。

また高濃度のN⁺層を通して、両ホトダイオード間で電流が流れることは無いため、電気的なクロストークも同様に減少させることができる。

さらに、分離領域12はプラズマエッチングにより形成するため、幅を2μm以下に縮小できる。このため、ホトダイオード間の間隔を縮小することができ、ホトダイオードアレーの解像性能および分解性能を高めることができる。

分離領域12の周辺はリンドープの多結晶シリコンが拡散源としてはたらくため、N⁺になっている。ホトダイオードに、空乏層が分離領域12に到達する程度の、バイアス電圧をかけても高濃度のN⁺層には空乏層は広がらず、第12図に示した構成に見られる、分離領域形成時のダメージによるリーク電流は問題にならない。

その後、アルミニウム等の金属膜で所定の電極配線を行い、工程は終了する。

以上の工程により製造された半導体光検出装置は前述のように分離領域の多結晶シリコン12により、各接合間の分離がされている。しかしながら、この実施例装置にも若干の問題がある。

第3図に示すように、分離領域の多結晶シリコン12よりも深いところで生成したキャリアによる光学的なクロストークが問題となる。

第4図は本発明による半導体光検出装置の第2の実施例を示す断面図および回路図である。この第2の実施例装置は、P型シリコン基板上20上にエピタキシャル成長法によりN型層10を形成する。

そしてこのN型領域10内に、分離領域12と受光面13を形成するものである。

この実施例装置はP型基板20とN型領域10間には逆バイアスをかけて使用する。

このためP型基板20内で発生したキャリアはN型領域10には拡散せず、すべて裏面の電極17

このため、ホトダイオードにかかるバイアス電圧はリーク電流の増加をもたらすことなく可能な限り大きくでき、結果としてホトダイオードの感度を向上させることができる。

次に前記実施例装置の製造工程を第2図を参照して説明する。

(A) N型シリコン基板10上に熱酸化により、二酸化珪素膜11を約1μm成長させる。

(B) ホトエッチングにより分離領域となる部分の二酸化珪素膜を除去し、さらにプラズマエッチング法を用いてN型シリコン基板の一部を約5μm除去する。

(C) CVD法により全面に、高濃度にリンまたは砒素ドープした多結晶シリコンを堆積することにより、前記分離領域に多結晶シリコン12を充填する。

(D) 次いで、ホトエッチングにより受光面となる部分の二酸化珪素膜を除去し、拡散法によりP型領域13を形成した後、熱酸化により二酸化珪素膜を約0.2μm成長させる。

に集められる。そのため、結晶深部で発生したキャリアにより光学的クロストークはすべて除去できる。

第5図は本発明による半導体光検出装置の第3の実施例を示す断面図である。

この実施例装置は引上法(CZ法)により製作されたN⁻の10Ωcmの高抵抗のシリコン基板21を用いたものである。

CZ法で製作されたシリコン結晶には、通常5~50ppmの酸素が溶存している。

この基板上に、エピタキシャル法によりN型領域10を形成後、800℃の窒素(N₂)ガス中で1~16時間、1050℃の乾燥酸素中で18時間熱処理を行う。

この工程によりN⁻基板21中に酸素の凝結に起因した微少欠陥ができる。これは、インターナルゲッタ法と呼ばれる公知の方法である。この微少欠陥が再結合中心としてはたらくため、N⁻基板21内で生成したキャリアのライフタイムは極めて短く、N領域10に拡散する前にすべて消滅さ

特開昭61-141175 (5)

せられる。

このため第11図の方法と同様、光学的クロストークはすべて除去できる。

以上詳しく説明した実施例について種々の変形を施すことができる。

前述した実施例におけるP型と、N型をそれぞれ換えて構成しても同様の効果が得られる。

(発明の効果)

以上詳しく述べたように、本発明による半導体光検出装置は各ホトダイオード間に、N⁺層からなる分離領域を有しているので、光学的、物理的、電気的等の各種のクロストークを著しく除去できる。

このため、ホトダイオード間の相互干渉がなく、結果として、解像性能、分解性能を向上することができる。

さらに、分離領域の幅は2μm以下に縮小することができ、これによる解像性能の向上も同時に期待できる。

また、高濃度のN⁺層には空乏層が広がらないた

め、ホトダイオードにかかるバイアス電圧は可能な限り大きくでき、ホトダイオードの感度を向上させることができる。

本発明による光検出装置は、単体として位置検出や分光光度測定に用いることにより、高位置分解性能や高分解性能を達成できる。また本発明による半導体光検出装置を、自己走査回路と組み合わせたイメージセンサとして用いることにより、鮮明な画像を得ることができる。

4. 図面の簡単な説明

第1図は、本発明による半導体光検出装置の第1の実施例を示す断面図および平面図である。

第2図は前記実施例装置の製造工程を示す断面図である。

第3図は前記実施例装置における問題を説明するための断面図である。

第4図は、本発明による半導体光検出装置の第2の実施例を示す断面図である。

第5図は、本発明による半導体光検出装置の第3の実施例を示す断面図である。

第6図は従来のホトダイオードアレー形式の半導体光検出装置における光学的クロストークを示す断面図である。

第7図は従来のホトダイオードアレー形式の半導体光検出装置における物理的クロストークを示す断面図である。

第8図は従来のイメージセンサの1素子分を示す断面図である。

第9図は第8図に示した従来のイメージセンサをN基板を用いたPチャンネルMOSFET構造にしたときのイメージセンサの等価回路図である。

第10図はクロストークを防止するために素子間に反射膜を設ける従来例を示す断面図である。

第11図はクロストークを防止するために素子間にP⁺層を形成した従来例を示す断面図である。

第12図はクロストークを防止するために素子間に絶縁物による分離領域を形成した従来例を示す断面図および平面図である。

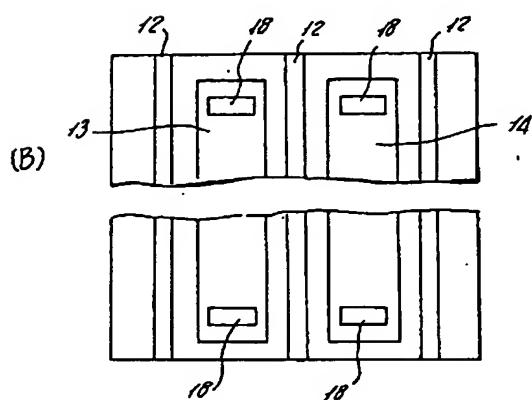
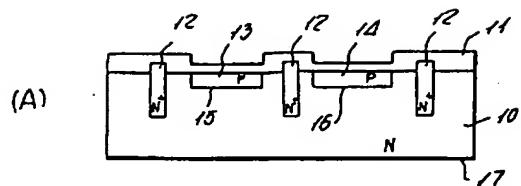
1…N型シリコン基板 2…ソース領域

3…ドレイン領域	4…ゲート電極
5…反射膜	6…P ⁺ 分離領域
10…N型シリコン基板	11…二酸化珪素膜
12…N ⁺ 分離領域	
13, 14…受光面 (P ⁺ 領域)	
15, 16…P N接合部	
17…裏面電極	
18…表面電極	
20…P型シリコン基板	
21…N ⁻ 型シリコン基板	

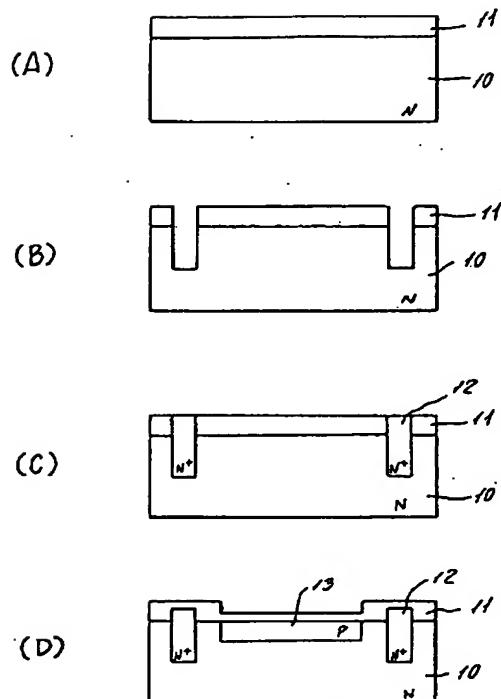
特許出願人 浜松ホトニクス株式会社
代理人 弁理士 井ノ口壽

特開昭61-141175(6)

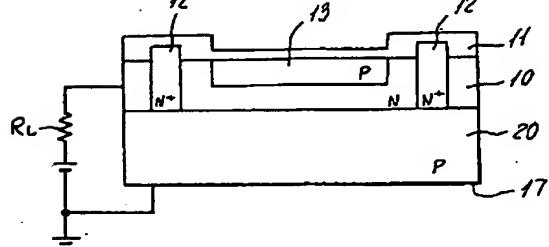
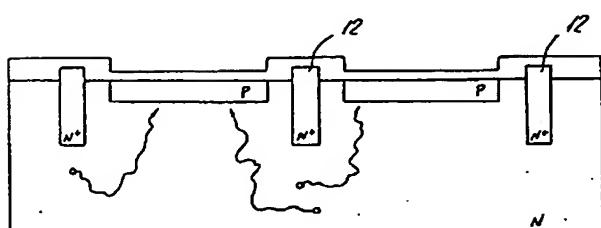
第 1 図



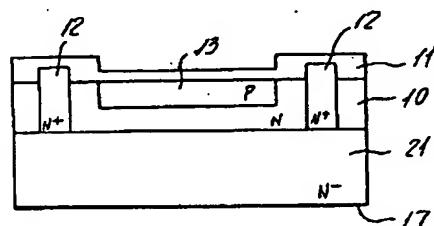
第 2 図



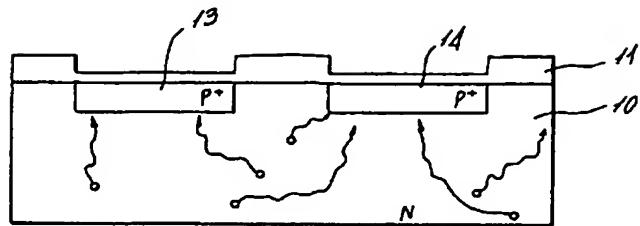
第 3 図



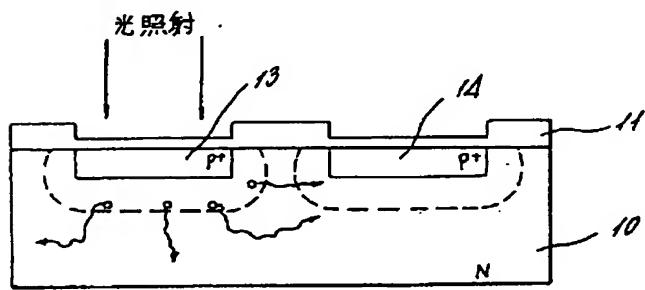
第 5 図



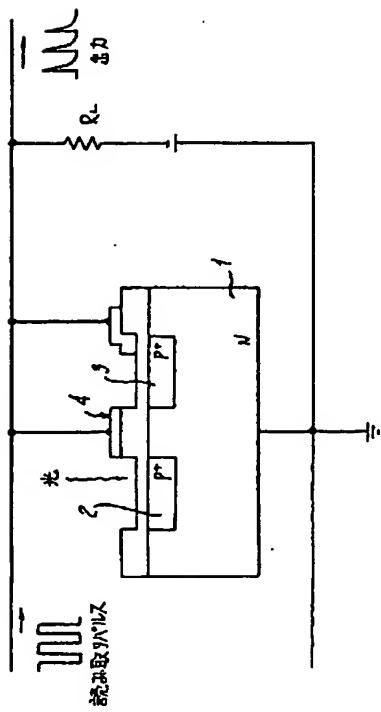
第 6 図



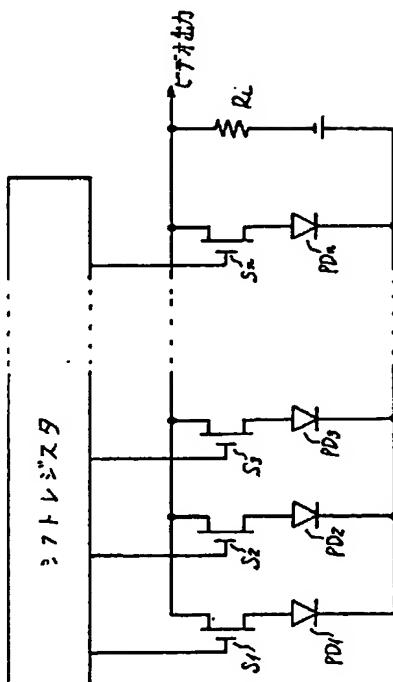
第 7 図



第 8 図

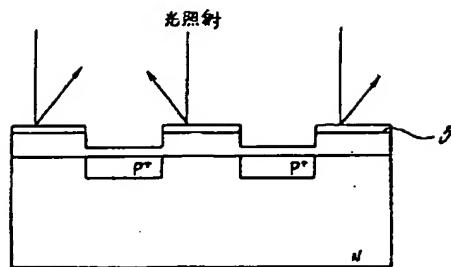


第 9 図

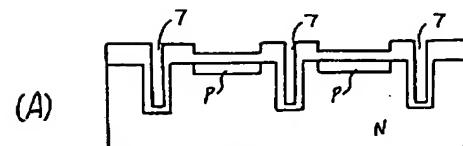


特開昭61-141175 (8)

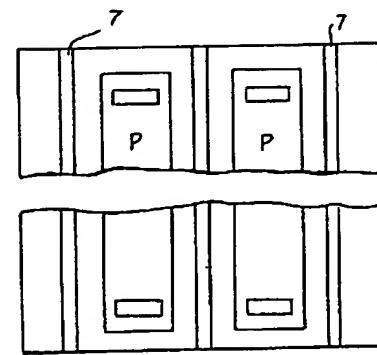
第 10 図



第 12 図



(B)



第 11 図

